

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0058677  
Application Number

출원 년 월 일 : 2002년 09월 27일  
Date of Application SEP 27, 2002

출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



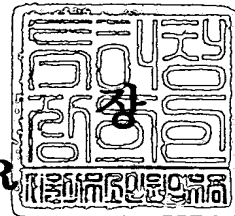
2003    년    04    월    10    일

특

허

청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.09.27
【발명의 명칭】	퓨즈 구조 및 그것을 이용한 집적 회로 장치
【발명의 영문명칭】	FUSE ARRANGEMENT AND INTEGRATED CIRCUIT DEVICE USING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	강상석
【성명의 영문표기】	KANG, SANG SEOK
【주민등록번호】	620806-1802711
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1186번지
【국적】	KR
【발명자】	
【성명의 국문표기】	최종현
【성명의 영문표기】	CHOI, JONG HYUN
【주민등록번호】	650120-1927221
【우편번호】	442-400
【주소】	경기도 수원시 팔달구 망포동 동수원빌리지 102동 1604호
【국적】	KR



**【발명자】**

**【성명의 국문표기】**

황상기

**【성명의 영문표기】**

HWANG, SANG KI

**【주민등록번호】**

621212-1808334

**【우편번호】**

463-500

**【주소】**

경기도 성남시 분당구 구미동 무지개마을 510동 1301호

**【국적】**

KR

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

**【수수료】**

**【기본출원료】**

20 면 29,000 원

**【가산출원료】**

19 면 19,000 원

**【우선권주장료】**

0 건 0 원

**【심사청구료】**

31 항 1,101,000 원

**【합계】**

1,149,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명에 따른 퓨즈 회로는 제 1 및 제 2 퓨즈들을 포함하며, 상기 제 1 및 제 2 퓨즈들은 각각 일단과 타단을 갖는다. 상기 제 1 퓨즈의 일단과 타단은 일직선으로 연결된다. 상기 제 2 퓨즈는 상기 제 1 퓨즈의 일단과 제 1 간격만큼 이격되어 배치된 일단과, 상기 제 1 퓨즈의 타단과 제 2 간격만큼 이격되어 배치된 타단을 갖는다. 상기 제 1 및 제 2 퓨즈들의 일단들은 상기 제 1 및 제 2 퓨즈들의 타단들보다 좁거나 그것과 동일한 폭을 갖는다.

**【대표도】**

도 5

**【명세서】****【발명의 명칭】**

퓨즈 구조 및 그것을 이용한 집적 회로 장치{FUSE ARRANGEMENT AND INTEGRATED CIRCUIT DEVICE USING THE SAME}

**【도면의 간단한 설명】**

도 1 내지 도 4는 종래 기술에 따른 퓨즈 배열의 예들을 보여주는 도면들;

도 5 내지 도 10은 본 발명에 따른 퓨즈 배열의 바람직한 실시예들을 보여주는 도면들;

도 11은 본 발명에 따른 퓨즈 배열을 이용한 반도체 메모리 장치를 보여주는 블록도; 그리고

도 12는 도 11에 도시된 퓨즈 बैं크 및 그것과 관련된 행 선택 회로의 일부를 보여주는 회로도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 집적 회로 장치들에 관한 것으로, 좀 더 구체적으로는 반도체 소자로서 집적 회로 장치에 사용되는 퓨즈들의 배열 (arrangement)에 관한 것이다.

<6> 집적 회로는, 잘 알려진 바와 같이, 단일의 실리콘 칩 내에 포함되고 전기적인 도체들을 통해 상호 연결되는 트랜지스터들, 다이오드들, 그리고 커패시터들을 구비한 전자 회로이다. 집적 회로의 크기는 계속해서 감소하고 있고, 집적 회로가 포함하고 있는

회로들은 계속해서 복잡해지고 있다. 이는 결함이 있는 도전 또는 고장난 소자로 인해 결함 칩들이 증가되게 한다. 결함 칩들의 증가를 억제할 수 있는 한가지 방법은 집적 회로 내에 퓨즈들을 제조하는 것이다. 그렇게 제조된 퓨즈들은 결함 영역을 격리시키고 나머지 영역이 사용될 수 있게 단선(斷線)될 수 있다. 또한 퓨즈들은 회로를 조정하거나(trim), 특정 모드를 활성화시키거나, 또는 회로의 상이한 부분들을 활성화 또는 비활성화시키는 데 사용될 수 있다.

<7> 결함 칩들의 증가를 억제할 수 있는 다른 방법은 집적 회로에 리던던트 소자들을 제공하는 것이다. 만약 주요한 소자에 결함이 생기면 결함 소자를 대체하는 데 리던던트 소자가 사용될 수 있다. 리던던트 소자들을 사용하는 집적 회로 장치의 일례로서 반도체 메모리 장치를 들 수 있다. 일반적인 반도체 메모리 장치는 행들과 열들로 배열된 메모리 셀들을 포함하며, 결함 메모리 셀들은 리던던트 소자들로 대체될 수 있다.

<8> 각 주요한 메모리 셀이 개별적으로 지정되기 때문에, 결함 셀을 대체하기 위해서는, 결함 메모리 셀에 대응하는 어드레스가 저장되도록 퓨즈 회로가 프로그램되어야 한다. 퓨즈 회로에는 결함 어드레스를 저장하기 위한 복수 개의 퓨즈들이 포함된다. 이 분야의 통상적인 지식을 습득한 자들에게 잘 알려진 바와 같이, 퓨즈들의 선택적인 단선을 통해 결함 어드레스가 퓨즈 회로에 저장될 수 있다. 현재 입력된 어드레스가 퓨즈 회로에 저장된 결함 어드레스와 일치하면, 결함 메모리 셀 대신에 대응하는 리던던트 메모리 셀이 선택된다. 퓨즈 회로는 메모리 셀들의 행들 (워드 라인들)을 선택하기 위한 행 선택 회로에 인접하여 배치된다.

- <9> 종래 기술에 따른 퓨즈 배열의 일예를 보여주는 도 1을 참조하면, 퓨즈들 (11-16)은 행 방향을 따라 평행하게 절단 영역 (17)에 배치되어 있다. 퓨즈들 (11-16)은 동일한 폭 (W)을 갖고, 인접한 퓨즈들 간의 피치 (P) 역시 동일하다. 이러한 퓨즈 배열은 다음과 같은 문제점을 갖는다. 단위 메모리 셀의 크기가 축소됨에 따라 행 방향으로의 길이 (또는 너비) (행 방향으로의 길이 내에 워드 라인들이 평행하게 배열됨)는 점점 더 줄어들게 된다. 이에 반해서, 퓨즈 피치가 레이저빔을 조사하는 장비의 능력에 따라 결정되기 때문에, 행 방향으로의 퓨즈 회로의 길이 또는 퓨즈 피치를 줄이는 것은 현실적으로 어렵다. 따라서, 축소된 길이 내에 퓨즈 회로를 배치하기 위해서는 리던던트 워드 라인들의 수를 줄여야 한다.
- <10> 이러한 문제점을 극복하기 위한 새로운 퓨즈 배열로서, 하나의 절단 영역을 2개의 영역들로 분리하고 2개의 절단 영역들을 이층 구조로 배열하는 이층 퓨즈 배열을 들 수 있다. 이층 퓨즈 배열의 예가 U.S. Patent No. 5,773,869에 "*DOUBLE DENSITY FUSE BANK FOR THE LASER BREAK-LINK PROGRAMMING OF AN INTEGRATED CIRCUIT*"라는 제목으로 게시되어 있다. 도 2에는 '869 특허에 게재되어 있는 퓨즈 배열이 도시되어 있다. 도 2에 도시된 바와 같이, 퓨즈 소자들 (22A, 22B)의 절단 영역들 (26)은 일렬로 (in a single column) 배열되는 것이 아니라 2개의 열들로 배열된다. 이러한 퓨즈 배열은 동일한 열의 인접한 절단 영역들 (26) 간의 거리 또는 피치가 증가되게 한다. 이는 동일한 길이 내에 보다 많은 퓨즈들이 배치될 수 있음을 의미한다.
- <11> 다른 이층 퓨즈 배열들이 U.S. Patent No. 5,636,172에 "*REDUCED PITCH LASER REDUNDANCY FUSE BANK STRUCTURE*"라는 제목으로, 그리고 U.S. Patent No. 6,172,896에 "*LAYOUT ARRANGEMENTS OF FUSE BOXES FOR INTEGRATED CIRCUIT DEVICES, INCLUDING BENT*"

AND STRAIGHT FUSES'라는 제목으로 각각 게시되어 있다. 상기한 '172 및 '896 특허들에 게재된 퓨즈 배열들이 도 3 및 도 4에 각각 도시되어 있다. 도 3 및 도 4에 도시된 바와 같이, 퓨즈들 (18, 19, 20, 18', 19', 20', 23, 24, 25, 23', 24', 25')은 각각 협부 (narrow portion)와 광부 (wide portion)를 갖는다. 퓨즈들의 광부들은 협부들의 이격 거리보다 더 넓은 이격 거리를 두고 대응하는 절단 영역들 (21, 22, 26, 27)에 각각 배치된다. 하지만, 도 3 및 도 4에 도시된 퓨즈 배열의 경우, 레이저빔에 의해 절단되는 퓨즈 패턴이 절단되지 않는 퓨즈 패턴에 비해 크다. 이로 인해서 퓨즈 회로의 길이가 길어지며, 결과적으로 퓨즈 회로의 길이는 감소되지 않는다. 이는 퓨즈 회로의 폭이 감소되지 않음으로 인하여 메모리 크기가 감소되는 데에 영향을 받게 됨을 의미한다.

#### 【발명이 이루고자 하는 기술적 과제】

- <12>        본 발명의 목적은 퓨즈 회로의 길이를 줄일 수 있는 퓨즈 배열을 제공하는 것이다.
- <13>        본 발명의 다른 목적은 동작 속도를 향상시킬 수 있는 퓨즈 배열을 제공하는 것이다.
- <14>        본 발명의 또 다른 목적은 퓨즈 회로의 길이를 줄일 수 있는 퓨즈 배열을 갖는 반도체 메모리 장치를 제공하는 것이다.
- <15>        본 발명의 또 다른 목적은 동작 속도를 향상시킬 수 있는 퓨즈 배열을 갖는 반도체 메모리 장치를 제공하는 것이다.

#### 【발명의 구성 및 작용】

- <16>        상술한 제반 목적을 달성하기 위한 본 발명의 일 특징에 따르면, 퓨즈 회로는 일단과 타단을 갖는 제 1 퓨즈와; 그리고 상기 제 1 퓨즈의 일단과 제 1 간격만큼 이격되어



배치된 일단과, 상기 제 1 퓨즈의 타단과 제 2 간격만큼 이격되어 배치된 타단을 갖는 제 2 퓨즈를 포함한다. 상기 제 1 및 제 2 퓨즈들의 일단들은 상기 제 1 및 제 2 퓨즈들의 타단들보다 좁거나 그것과 동일한 폭을 갖는다. 상기 제 1 간격은 상기 제 2 간격보다 넓고, 상기 제 1 및 제 2 퓨즈들의 일단들은 절단 영역에 배치된다. 상기 제 1 퓨즈의 일단과 타단은 일직선으로 연결되고, 상기 제 2 퓨즈의 일단은 상기 제 2 퓨즈의 타단으로부터 측면으로 오프셋된다. 상기 퓨즈 회로는 상기 제 1 및 제 2 퓨즈들의 제 1 퓨즈 그룹에 대해 180도만큼 회전되도록 상기 제 1 퓨즈 그룹과 인접하여 배치되며, 제 3 및 제 4 퓨즈들을 갖는 제 2 퓨즈 그룹을 더 포함한다. 상기 제 3 및 제 4 퓨즈들은 상기 제 1 및 제 2 퓨즈들과 동일한 구조를 갖도록 배치된다.

<17> 본 발명의 다른 특징에 따르면, 서로 제 1 간격만큼 이격되어 배치된 제 1 퓨즈 세그먼트들과; 상기 제 1 퓨즈 세그먼트들과 각각 대응하며, 서로 제 2 간격만큼 이격되어 절단 영역에 배치된 제 2 퓨즈 세그먼트들과; 그리고 상기 제 2 퓨즈 세그먼트들에 연결된 공통 접속 라인을 포함하는 퓨즈 회로가 제공된다. 상기 제 1 퓨즈 세그먼트들은 대응하는 제 2 퓨즈 세그먼트들과 직각으로 연결되고, 상기 제 1 간격은 상기 제 2 간격보다 넓고, 상기 각 제 2 퓨즈 세그먼트의 폭은 상기 각 제 1 퓨즈 세그먼트의 폭과 같거나 작다.

<18> 본 발명의 또 다른 특징에 따르면, 반도체 메모리 장치는 행들과 열들로 배열된 메모리 셀들의 어레이와; 결함 메모리 셀을 대체하기 위한 리던던트 어레이와; 그리고 각각 결함 어드레스를 저장하기 위한 복수 개의 퓨즈 박스들을 포함한다. 상기 퓨즈 박스들 각각은 일직선으로 연결되는 일단과 타단을 갖는 제 1 퓨즈와; 그리고 상기 제 1 퓨즈의 일단과 제 1 간격만큼 이격되어 배치된 일단과, 상기 제 1 퓨즈의 타단과 제 2 간

격만큼 이격되어 배치된 타단을 갖는 제 2 퓨즈를 포함한다. 상기 제 1 및 제 2 퓨즈들의 일단들은 행 방향을 따라 절단 영역에 배치되고, 상기 제 2 퓨즈의 일단은 상기 제 2 퓨즈의 타단으로부터 측면으로 오프셋되며, 상기 제 1 및 제 2 퓨즈들의 일단들은 상기 제 1 및 제 2 퓨즈들의 타단들보다 좁거나 그것과 동일한 폭을 갖는다. 상기 각 퓨즈 박스는 상기 제 1 및 제 2 퓨즈들의 제 1 퓨즈 그룹에 대해 180도만큼 회전되도록 상기 제 1 퓨즈 그룹과 인접하여 배치되며, 제 3 및 제 4 퓨즈들을 갖는 제 2 퓨즈 그룹을 더 포함한다.

<19> 본 발명에 따른 퓨즈 배열을 설명하기에 앞서, 일반적으로, 레이저빔이 조사되지 않는 퓨즈 부분의 크기 및 공간은 최소 이격 및 도체 디자인 룰 (minimum spacing and conductor design rules)에 의해서 결정되고, 레이저빔이 조사되는 퓨즈 부분의 크기 및 공간은 레이저 퓨즈 이격 및 폭 디자인 룰 (laser fuse spacing and width design rules)에 의해서 결정될 것이다. 이러한 조건을 기초로 하여 본 발명의 바람직한 실시예들이 이하 상세히 설명될 것이다.

<20> 도 5는 본 발명에 따른 퓨즈 배열의 제 1 실시예이다. 도 5를 참조하면, 본 발명에 따른 퓨즈 बैं크 (100)는 제 1 퓨즈 그룹 (FG1)과 제 2 퓨즈 그룹 (FG2)을 포함한다. 제 1 퓨즈 그룹 (FG1)에는 4개의 퓨즈들 (101, 102, 103, 104)이 포함된다. 제 1 퓨즈 그룹 (FG1)의 퓨즈들 (101-104) 각각은 일단과 타단을 갖는다. 제 1 퓨즈 그룹 (FG1)의 퓨즈들 (101-104)의 일단들은 서로 제 1 간격 (D1)만큼 이격되어 절단 영역 (cutting region) (105)에 평행하게 배열되어 있다. 퓨즈들 (101-104)의 타단들은 제 2 간격 (D2)만큼 이격되어 배열되어 있다. 퓨즈 (101)의 타단은 자신의 일단과 일직선으로 연결되어 있다. 이에 반해서, 퓨즈들 (102-104)의 타단들은 퓨즈들 (102-104)의 일단들로부터 측

면으로 오프셋되어 있다. 도면에서 알 수 있듯이, 제 1 간격 (D1)은 제 2 간격 (D2)보다 넓다. 제 1 퓨즈 그룹 (FG1)에 속하는 퓨즈들 (101-104)의 일단들은 레이저빔의 조사에 의해서 선택적으로 절단될 수 있다.

<21> 레이저 기술의 발달에 따라 제 1 퓨즈 그룹 (FG1)의 퓨즈들 (101-104)의 일단들의 폭 (W10)은 그것의 타단들의 폭 (W20)과 거의 동일하게 형성될 수 있으며, 도 6a에 도시된 바와 같이, 제 1 퓨즈 그룹 (FG1)의 퓨즈들 (101-104)의 일단들의 폭은 그것의 타단들의 폭보다 좁게 형성될 수 있다. 이는 절단 영역의 길이가 줄어들게 하여 메모리 칩의 크기를 줄일 수 있게 한다. 제 1 퓨즈 그룹 (FG1)의 퓨즈들 (101-104)의 일단들은 행 방향에 수직하게 배열되어 있다.

<22> 계속해서 도 5를 참조하면, 제 2 퓨즈 그룹 (FG2)은 4개의 퓨즈들 (101', 102', 103', 104')을 포함하며, 도면에서 알 수 있듯이, 제 1 퓨즈 그룹 (FG1)이 180도만큼 회전됨에 따라 제 1 퓨즈 그룹과 동일한 모양을 얻을 수 있다. 제 2 퓨즈 그룹 (FG2)의 퓨즈들 (101'-104') 각각은 일단과 타단을 갖는다. 제 2 퓨즈 그룹 (FG2)의 퓨즈들 (101'-104')의 일단들은 서로 제 1 간격 (D1)만큼 이격되어 절단 영역 (105')에 평행하게 배열되어 있다. 퓨즈들 (101'-104')의 타단들은 서로 제 2 간격 (D2)만큼 이격되어 배열되어 있다. 퓨즈 (101')의 타단은 자신의 일단과 일직선으로 연결되어 있다. 이에 반해서, 퓨즈들 (102'-104')의 타단들은 퓨즈들 (102'-104')의 일단들로부터 측면으로 오프셋되어 있다. 제 2 퓨즈 그룹 (FG2)에 속하는 퓨즈들 (101'-104')의 일단들은 레이저빔의 조사에 의해서 선택적으로 절단될 수 있다.

<23> 제 2 퓨즈 그룹 (FG2)의 퓨즈들 (101'-104')의 일단들의 폭 (W10)은 그것의 타단들의 폭 (W20)과 거의 동일하게 형성될 수 있다. 또는, 도 6b에 도시된 바와 같이, 제 2

퓨즈 그룹 (FG2)의 퓨즈들 (101'-104')의 일단들의 폭 (W10)은 그것의 타단들의 폭 (W20)보다 좁게 형성될 수 있다. 퓨즈들 (101'-104')의 일단들은 행 방향에 수직하게 배열되어 있다. 도 5에 도시된 제 1 및 제 2 퓨즈 그룹들의 패턴은 행 방향으로 반복적으로 배열된다.

<24> 도 5에 도시된 퓨즈 배열에 따르면, 각 퓨즈 그룹의 일단들의 폭 (W10)이 도 3 및 도 4에 도시된 것보다 감소하기 때문에, 인접한 퓨즈들 간의 폭을 동일하게 유지하면서 행 방향으로의 퓨즈 그룹 길이를 줄일 수 있다.

<25> 도 7은 본 발명에 따른 퓨즈 배열의 제 2 실시예이다. 도 7을 참조하면, 본 발명의 제 2 실시예에 따른 퓨즈 बैं크 (100')는 제 1 퓨즈 그룹 (FG10)과 제 2 퓨즈 그룹 (FG20)을 포함한다. 제 1 퓨즈 그룹 (FG10)은 4개의 퓨즈들 (111, 112, 113, 114)과 하나의 공통 접속 라인 (115)을 포함한다. 제 1 퓨즈 그룹 (FG10)의 퓨즈들 (111-114)은 2개의 퓨즈 세그먼트들로 구성된다. 즉, 제 1 퓨즈 그룹 (FG10)의 퓨즈들 (111-114)은 각각 일단과 타단을 갖는다. 퓨즈들 (111-114)의 일단들은 서로 제 1 간격 (D1)만큼 이격되어 절단 영역 (116)에 평행하게 배열되어 있다. 퓨즈들 (111-114)의 일단들은 공통 접속 라인 (115)에 공통으로 연결되어 있다. 퓨즈들 (111-114)의 타단들은 서로 제 2 간격 (D2)만큼 이격되어 배치되고, 퓨즈들 (111-114)의 일단들과 90도의 각도를 갖도록 대응하는 퓨즈들 (111-114)의 일단들에 각각 연결되어 있다.

<26> 이 실시예에 있어서, 제 1 퓨즈 그룹 (FG10)의 퓨즈들 (111-114)의 일단들의 폭 (W10)은 그것의 타단들의 폭 (W20)과 거의 동일하게 형성될 수 있다. 또한, 제 1 퓨즈 그룹 (FG10)의 퓨즈들 (111-114)의 일단들의 폭 (W10)은 그것의 타단들의 폭 (W20)보다 좁게 형성될 수 있다.

- <27> 계속해서 도 7을 참조하면, 제 2 퓨즈 그룹 (FG20)은 4개의 퓨즈들 (111', 112', 113', 114')을 포함하며, 도면에서 알 수 있듯이, 제 1 퓨즈 그룹 (FG10)의 미러 형상을 갖는다. 제 2 퓨즈 그룹 (FG20)은 제 1 퓨즈 그룹 (FG10)의 내용과 유사하기 때문에 그 설명은 생략한다.
- <28> 도 7에 도시된 퓨즈 배열에 따르면, 각 퓨즈 그룹의 일단들의 폭 (W10)이 도 3 및 도 4에 도시된 것보다 감소하기 때문에, 인접한 퓨즈들 간의 폭을 동일하게 유지하면서 행 방향으로의 퓨즈 그룹 길이를 줄일 수 있다. 또한 절단 영역 (116)의 퓨즈의 배열을 도 5와 같이 행 방향으로 배열하는 것이 아니라 열 방향으로 배치할 수 있다. 이는 내부 회로 구조에 따라 필요에 의해서 변경할 수 있어 설계자가 용이하게 칩 사이즈를 줄일 수 있게 한다.
- <29> 도 7에는 제 1 및 제 2 퓨즈 그룹들 (FG10, FG20)에 각각 대응하는 2개의 공통 접속 라인들 (115, 115')이 사용되었다. 하지만, 도 8에 도시된 바와 같이, 공통 접속 라인 (115'')이 제 1 및 제 2 퓨즈 그룹들 (FG10, FG20)에 의해서 공유되는 구조 역시 사용될 수 있음은 자명하다. 도 8에 있어서, 도 7에 도시된 구성 요소들과 동일한 기능을 갖는 구성 요소들은 동일한 참조 번호들로 표기되며, 그것에 대한 설명은 그러므로 생략된다.
- <30> 도 9는 본 발명에 따른 퓨즈 배열의 제 3 실시예이다. 도 9를 참조하면, 본 발명에 따른 퓨즈 뱅크 (100'')는 제 1 퓨즈 그룹 (FG30)과 제 2 퓨즈 그룹 (FG40)을 포함한다. 제 1 퓨즈 그룹 (FG30)은 3개의 퓨즈들 (121, 122, 123)을 포함한다. 제 1 퓨즈 그룹 (FG30)의 퓨즈들 (121, 122, 123)은 각각 일단과 타단을 갖는다. 퓨즈들 (121-123)의 일단들은 서로 제 1 간격 (D1)만큼 이격되어 절단 영역 (124)에 평행하게 배치된다. 퓨즈

들 (121-123)의 타단들은 서로 제 2 간격 (D2)만큼 이격되어 퓨즈들 (121-123)의 일단들에 연결되어 있다. 구체적으로, 중앙에 위치한 퓨즈 (122)의 일단과 타단은 일직선으로 연결되어 있다. 좌측에 위치한 퓨즈 (121)의 타단은 퓨즈 (122)의 타단과 제 2 간격 (D2)을 유지하도록 퓨즈 (121)의 일단으로부터 측면으로 오프셋되어 있다. 우측에 위치한 퓨즈 (123)의 타단은 퓨즈 (122)의 타단과 제 2 간격 (D2)을 유지하도록 퓨즈 (123)의 일단으로부터 측면으로 오프셋되어 있다.

<31> 여기서, 제 1 간격 (D1)은 제 2 간격 (D2)보다 넓다. 제 1 퓨즈 그룹 (FG30)의 퓨즈들 (121-123)의 일단들의 폭 (W10)은 퓨즈들 (121-123)의 타단들의 폭 (W20)과 동일하게 형성될 수 있다. 또한, 제 1 퓨즈 그룹 (FG30)의 퓨즈들 (121-123)의 일단들의 폭 (W10)은 퓨즈들 (121-123)의 타단들의 폭 (W20)보다 좁게 형성될 수 있다.

<32> 계속해서 도 9를 참조하면, 제 2 퓨즈 그룹 (FG40)의 퓨즈들 (121', 122', 123')은 각각 일단과 타단을 갖는다. 퓨즈들 (121'-123')의 일단들은 서로 제 1 간격 (D1)만큼 이격되어 절단 영역 (124')에 평행하게 배치된다. 퓨즈들 (121'-123')의 타단들은 서로 제 2 간격 (D2)만큼 이격되어 퓨즈들 (121'-123')의 일단들에 연결되어 있다. 구체적으로, 중앙에 위치한 퓨즈 (122')의 일단과 타단은 일직선으로 연결되어 있다. 우측에 위치한 퓨즈 (121')의 타단은 퓨즈 (122')의 타단과 제 2 간격을 유지하도록 퓨즈 (121')의 일단으로부터 측면으로 오프셋되어 있다. 좌측에 위치한 퓨즈 (123')의 타단은 퓨즈 (122')의 타단과 제 2 간격 (D2)을 유지하도록 퓨즈 (123')의 일단으로부터 측면으로 오프셋되어 있다.

<33> 여기서, 제 2 퓨즈 그룹 (FG40)의 퓨즈들 (121'-123')의 일단들의 폭 (W10)은 퓨즈들 (121'-123')의 타단들의 폭 (W20)과 동일하게 형성될 수 있다. 또한, 제 2 퓨즈 그룹

(FG40)의 퓨즈들 (121'-123')의 일단들의 폭 (W10)은 퓨즈들 (121'-123')의 타단들의 폭 (W20)보다 좁게 형성될 수 있다.

<34> 도 10은 본 발명에 따른 퓨즈 배열의 제 4 실시예이다. 도 10을 참조하면, 본 발명에 따른 퓨즈 बैं크 (200)는 제 1 퓨즈 그룹 (FG50)과 제 2 퓨즈 그룹 (FG60)을 포함한다. 제 1 퓨즈 그룹 (FG50)은 각각 폴리실리콘으로 형성되는 2개의 퓨즈들 (209, 210)을 포함한다. 퓨즈 (209)는 신호 라인들 또는 도전 라인들 (201, 203) 사이에 연결되고, 퓨즈 (210)는 신호 라인들 또는 도전 라인들 (202, 204) 사이에 연결되어 있다. 즉, 퓨즈 (209)의 일단과 타단은 대응하는 컨택들을 통해 도전 라인들 (201, 203)에 각각 연결되고, 퓨즈 (210)의 일단과 타단은 대응하는 컨택들을 통해 도전 라인들 (202, 204)에 각각 연결되어 있다. 도전 라인들 (201-204)은 폴리실리콘에 비해 작은 저항값을 갖는 금속으로 형성된다. 제 1 퓨즈 그룹 (FG50)의 퓨즈들 (209, 210)은 레이저빔이 조사되는 제 1 퓨즈 영역 (212)에 형성된다.

<35> 계속해서 도 10을 참조하면, 제 2 퓨즈 그룹 (FG60)은 각각 폴리실리콘으로 형성되는 2개의 퓨즈들 (220, 221)을 포함한다. 퓨즈 (220)는 신호 라인들 또는 도전 라인들 (205, 207) 사이에 연결되고, 퓨즈 (221)는 신호 라인들 또는 도전 라인들 (206, 208) 사이에 연결되어 있다. 즉, 퓨즈 (220)의 일단과 타단은 대응하는 컨택들을 통해 도전 라인들 (205, 207)에 각각 연결되고, 퓨즈 (221)의 일단과 타단은 대응하는 컨택들을 통해 도전 라인들 (206, 208)에 각각 연결되어 있다. 도전 라인들 (205-208)은 폴리실리콘에 비해 작은 저항값을 갖는 금속으로 형성된다. 제 2 퓨즈 그룹 (FG60)의 퓨즈들 (220, 221)은 레이저빔이 조사되는 제 2 퓨즈 영역 (223)에 형성된다.

<36> 도 10에 도시된 바와 같이, 퓨즈들 (209, 210)이 형성되는 제 1 퓨즈 영역 (212)의 우측에는 금속으로 형성되는 신호 라인들 (205, 206)이 배치되고, 퓨즈들 (220, 221)이 형성되는 제 2 퓨즈 영역 (223)의 좌측에는 금속으로 형성되는 신호 라인들 (203, 204)이 배치된다. 도 10에 도시된 이층 퓨즈 배열은 퓨즈 영역들에 인접한 라인들이 폴리실리콘으로 만들어진 퓨즈 बैं크들 (예를 들면, 도 2 내지 도 9에 도시된 퓨즈 बैं크들)과 비교하여 볼 때 신호 전송 라인의 지연 시간이 감소되게 한다. 왜냐하면 금속이 폴리실리콘보다 작은 저항값을 갖기 때문이다. 이는 최근에 활발히 개발되고 있는 고속 메모리 제품에 사용하기 적합한 구조라 할 수 있다.

<37> 도 11은 본 발명에 따른 퓨즈 배열을 채용한 반도체 메모리 장치를 보여주는 블록도이다.

<38> 도 11을 참조하면, 반도체 메모리 장치 (300)는 어레이 (310)를 포함하며, 비록 도면에는 도시되지 않았지만, 어레이 (310)에는 행들 (또는 워드 라인들)과 열들 (또는 비트 라인들)의 매트릭스로 배열된 메모리 셀들이 제공된다. 도면에서, 행 방향 (ROW)은 워드 라인들이 배열된 방향이고, 열 방향 (COLUMN)은 비트 라인들이 평행하게 배열된 방향이다. 어레이 (310)에는 또한 결함 메모리 셀들의 행들을 대체하기 위한 리던던트 메모리 셀들의 리던던트 셀 어레이가 더 포함됨은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 행 선택 회로 (320)는 어드레스 신호들 (DRA234[0:7], DRA56[0:3], DRA78[0:3])에 응답하여 워드 라인들을 선택한다. 제 1 어드레스 신호 라인들 (DRA234[0:7]), 제 2 어드레스 신호 라인들 (DRA56[0:3]), 그리고 제 3 어드레스 신호 라인들 (DRA78[0:3])은 행 선택 회로 (320) 상에 배열되어 있다.



<39> 계속해서 도 11을 참조하면, 반도체 메모리 장치 (300)는 퓨즈 회로 (330)를 더 포함하며, 퓨즈 회로 (330)는 복수 개의 퓨즈 뱅크들 (FB1-FB3)을 갖는다. 퓨즈 뱅크들 (FB1-FB3) 각각은 결함 어드레스를 저장하고 2개의 서브-퓨즈 뱅크들 (330T, 330B)로 구성된다. 각 퓨즈 뱅크의 서브-퓨즈 뱅크 (330T)는 제 2 및 제 3 어드레스 신호 라인들 (DRA56[0:3], DRA78[0:3])에 연결되는 반면에, 제 1 어드레스 신호 라인들 (DRA234[0:7])은 퓨즈 회로 (330)에 연결되지 않는다. 대신에, 어드레스 신호들 (DRA234[0:7])은 다른 라인들을 통해 퓨즈 회로 (330)에 제공된다. 즉, 도 11에 도시된 바와 같이, 각 퓨즈 뱅크의 서브-퓨즈 뱅크 (330B)에는 제 4 어드레스 신호 라인들 (DRA234[0:7])이 연결되어 있다. 퓨즈 뱅크 (FB1)의 서브-퓨즈 뱅크들 (330T, 330B)과 그것과 관련된 행 선택 회로의 일부가 도 12에 도시되어 있다. 도 12에 도시된 퓨즈들 (F1-F2, F3-F4)은 앞서 설명된 제 1 내지 제 3 실시예들 중 어느 하나를 이용하여 배열될 수 있음은 자명하다.

<40> 행 선택 회로의 계층적인 디코딩 체계에 인해서 어드레스 로딩 커패시턴스는 최하위 어드레스 (last significant bit address)가 가장 크고 상위 어드레스로 갈수록 작아진다. 이 경우, 최하위 어드레스 (예를 들면, DRA234)가 라인 로딩이 가장 크기 때문에, 최하위 어드레스는 속도 특성을 제한하는 어드레스가 된다. 이러한 문제점은, 도 11 및 도 12에 도시된 바와 같이, 라인 로딩 커패시턴스가 가장 큰 특정 행 어드레스 (예를 들면, DRA234) 라인들 (예를 들면, DRA234[0:7])을 행 선택 회로 상에 배치함과 동시에 퓨즈 회로 (330)의 하부에 별도 배치함으로써 해소될 수 있다. 도 11 및 도 12에 도시된 이층 구조는 서브-퓨즈 뱅크들을 상하로 분리함으로써 행 방향의 제한이 해결되게 한다. 그리고, 어드레스 로딩 커패시턴스를 분산함으로써 반도체 메모리 장치의 동작 속도가

개선될 수 있다. 어드레스 라인들 (DRA2-DRA8) 상의 신호들은 어드레스 신호들을 디코딩한 신호일 수도 있다.

<41>       이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

#### 【발명의 효과】

<42>       상술한 바와 같이, 각 퓨즈의 일단 (절단 영역에 배치되는 부분)과 타단이 동일한 폭을 갖게 또는 각 퓨즈의 일단이 타단보다 좁은 폭을 갖게 함으로써 퓨즈 회로의 길이를 최소화할 수 있다. 게다가, 라인 로딩 커패시턴스가 가장 큰 특정 행 어드레스 (예를 들면, DRA234) 라인들을 행 선택 회로 상에 배치함과 동시에 퓨즈 회로의 하부에 별도 배치함으로써 동작 속도를 개선할 수 있다. 또한 퓨즈를 구성하는 재질 (일반적으로, 폴리실리콘)의 길이를 최소화하여 저항 성분을 줄임으로써 동작 속도를 개선한다.

**【특허청구범위】****【청구항 1】**

일단과 타단을 갖는 제 1 퓨즈와; 그리고

상기 제 1 퓨즈의 일단과 제 1 간격만큼 이격되어 배치된 일단과, 상기 제 1 퓨즈의 타단과 제 2 간격만큼 이격되어 배치된 타단을 갖는 제 2 퓨즈를 포함하되, 상기 제 1 및 제 2 퓨즈들의 일단들은 상기 제 1 및 제 2 퓨즈들의 타단들보다 좁거나 그것과 동일한 폭을 갖는 것을 특징으로 하는 퓨즈 구조.

**【청구항 2】**

제 1 행에 있어서,

상기 제 1 간격은 상기 제 2 간격보다 넓고, 상기 제 1 및 제 2 퓨즈들의 일단들은 절단 영역에 배치되는 것을 특징으로 하는 퓨즈 구조.

**【청구항 3】**

제 1 행에 있어서,

상기 제 1 및 제 2 퓨즈들의 일단들 및 타단들은 행 방향으로 배치되는 것을 특징으로 하는 퓨즈 구조.

**【청구항 4】**

제 2 행에 있어서,

상기 제 1 퓨즈의 일단과 타단은 일직선으로 연결되고, 상기 제 2 퓨즈의 일단은 상기 제 2 퓨즈의 타단으로부터 측면으로 오프셋되는 것을 특징으로 하는 퓨즈 구조.

**【청구항 5】**

제 4 항에 있어서,

상기 제 1 및 제 2 퓨즈들의 제 1 퓨즈 그룹에 대해 180도만큼 회전되도록 상기 제 1 퓨즈 그룹과 인접하여 배치되며, 제 3 및 제 4 퓨즈들을 갖는 제 2 퓨즈 그룹을 더 포함하며, 상기 제 3 및 제 4 퓨즈들은 상기 제 1 및 제 2 퓨즈들과 동일한 구조를 갖도록 배치되는 것을 특징으로 하는 퓨즈 구조.

**【청구항 6】**

제 2 항에 있어서,

상기 제 1 및 제 2 퓨즈들의 일단들은 상기 제 1 및 제 2 퓨즈들의 타단들과 수직하게 연결되는 것을 특징으로 하는 퓨즈 구조.

**【청구항 7】**

일직선으로 연결되는 일단과 타단을 갖는 제 1 퓨즈와;

일직선으로 연결되는 일단과 타단을 갖는 제 2 퓨즈와;

상기 제 1 퓨즈의 일단과 제 1 간격만큼 이격되어 배치된 일단과, 상기 제 1 퓨즈의 타단과 제 2 간격만큼 이격되어 배치된 타단을 가지되, 상기 일단은 상기 타단으로부터 측면으로 오프셋되는 제 3 퓨즈와; 그리고

상기 제 2 퓨즈의 일단과 제 1 간격만큼 이격되어 배치된 일단과, 상기 제 2 퓨즈의 타단과 제 2 간격만큼 이격되어 배치된 타단을 가지되, 상기 일단은 상기 타단으로부터 측면으로 오프셋되는 제 4 퓨즈를 포함하되, 상기 제 1 및 제 3 퓨즈들의 일단들은

상기 제 2 및 제 4 퓨즈들의 타단들보다 좁거나 그것과 같은 폭을 갖는 것을 특징으로 하는 퓨즈 구조.

**【청구항 8】**

제 7 항에 있어서,

상기 제 1 내지 제 4 퓨즈들의 일단들 및 타단들은 행 방향으로 평행하게 배치되는 것을 특징으로 하는 퓨즈 구조.

**【청구항 9】**

제 7 항에 있어서,

상기 제 1 간격은 상기 제 2 간격보다 넓은 것을 특징으로 하는 퓨즈 구조.

**【청구항 10】**

제 7 항에 있어서,

상기 제 1 및 제 3 퓨즈들의 일단들은 제 1 행을 따라 형성되는 제 1 절단 영역에 배치되고, 상기 제 2 및 제 4 퓨즈들의 타단들은 제 2 행을 따라 형성되는 제 2 절단 영역에 배치되는 것을 특징으로 하는 퓨즈 구조.

**【청구항 11】**

각각이 일단과 타단을 갖는 복수 개의 제 1 퓨즈들로 구성되되, 상기 제 1 퓨즈들의 일단들은 서로 제 1 간격만큼 이격되고, 상기 제 1 퓨즈들의 타단들은 서로 제 2 간격만큼 이격되고, 상기 제 1 퓨즈들 중 하나의 일단과 타단은 일직선으로 연결되고, 그리고 나머지 제 1 퓨즈들의 일단들은 그것의 타단들로부터 측면으로 오프셋되는 제 1 퓨즈 그룹과; 그리고

각각이 일단과 타단을 갖는 복수 개의 제 2 퓨즈들로 구성되되, 상기 제 2 퓨즈들의 일단들은 서로 제 1 간격만큼 이격되고, 상기 제 2 퓨즈들의 타단들은 서로 제 2 간격만큼 이격되고, 상기 제 2 퓨즈들 중 하나의 일단과 타단은 일직선으로 연결되고, 그리고 나머지 제 2 퓨즈들의 일단들은 그것의 타단들로부터 측면으로 오프셋되는 제 2 퓨즈 그룹을 포함하되,

일단과 타단이 일직선으로 연결된 제 1 및 제 2 퓨즈들은 나머지 제 1 및 제 2 퓨즈들을 포함하도록 배치되고; 상기 각 퓨즈 그룹의 퓨즈들의 일단들은 그것의 타단들보다 좁거나 그것과 동일한 폭을 갖는 것을 특징으로 하는 퓨즈 구조.

#### 【청구항 12】

제 11 항에 있어서,

상기 제 1 내지 제 4 퓨즈들의 일단들 및 타단들은 행 방향으로 평행하게 배치되는 것을 특징으로 하는 퓨즈 구조.

#### 【청구항 13】

제 11 항에 있어서,

상기 제 1 간격은 상기 제 2 간격보다 넓고; 상기 제 1 퓨즈들의 일단들은 제 1 행을 따라 형성되는 제 1 절단 영역에 배치되고, 상기 제 2 퓨즈들의 타단들은 제 2 행을 따라 형성되는 제 2 절단 영역에 배치되는 것을 특징으로 하는 퓨즈 구조.

#### 【청구항 14】

서로 제 1 간격만큼 이격되어 배치된 제 1 퓨즈 세그먼트들과;

상기 제 1 퓨즈 세그먼트들과 각각 대응하며, 서로 제 2 간격만큼 이격되어 절단 영역에 배치된 제 2 퓨즈 세그먼트들과; 그리고

상기 제 2 퓨즈 세그먼트들에 연결된 공통 접속 라인을 포함하되,

상기 제 1 퓨즈 세그먼트들은 대응하는 제 2 퓨즈 세그먼트들과 직각으로 연결되고; 상기 제 2 간격은 상기 제 1 간격보다 넓으며; 그리고 상기 각 제 2 퓨즈 세그먼트의 폭은 상기 각 제 1 퓨즈 세그먼트의 폭과 같거나 작은 것을 특징으로 하는 퓨즈 구조.

**【청구항 15】**

제 14 항에 있어서,

상기 제 1 및 제 2 퓨즈 세그먼트들의 제 1 퓨즈 그룹과 대칭되도록 상기 제 1 퓨즈 그룹과 인접하여 배치되며, 제 3 및 제 4 퓨즈 세그먼트들을 갖는 제 2 퓨즈 그룹을 더 포함하는 것을 특징으로 하는 퓨즈 구조.

**【청구항 16】**

제 15 항에 있어서,

상기 제 3 및 제 4 퓨즈 세그먼트들은 상기 제 1 및 제 2 퓨즈 세그먼트들과 동일한 구조를 갖도록 배치되는 것을 특징으로 하는 퓨즈 구조.

**【청구항 17】**

제 14 항에 있어서,

상기 제 1 및 제 2 퓨즈 세그먼트들과 상기 공통 접속 라인으로 구성되는 제 1 퓨즈 그룹과 대칭되도록 상기 제 1 퓨즈 그룹과 인접하여 배치되며, 제 3 및 제 4 퓨즈 세그먼트들을 갖는 제 2 퓨즈 그룹을 더 포함하는 것을 특징으로 하는 퓨즈 구조.

**【청구항 18】**

제 17 항에 있어서,

상기 제 3 및 제 4 퓨즈 세그먼트들은 상기 제 1 및 제 2 퓨즈 세그먼트들과 동일한 구조를 갖도록 배치되는 것을 특징으로 하는 퓨즈 구조.

**【청구항 19】**

제 14 항에 있어서,

상기 제 1 퓨즈 세그먼트들은 행 방향을 따라 평행하게 배치되고, 상기 제 2 퓨즈 세그먼트들은 열 방향을 따라 평행하게 배치되는 것을 특징으로 하는 퓨즈 구조.

**【청구항 20】**

제 1 퓨즈 영역에 배치되며, 제 1 간격만큼 이격되어 배치되는 제 1 및 제 2 퓨즈들과;

서로 제 2 간격만큼 이격되며, 상기 제 1 및 제 2 퓨즈들에 각각 연결되는 제 1 및 제 2 신호 라인들과;

제 2 퓨즈 영역에 배치되며, 상기 제 1 간격만큼 이격되어 배치되는 제 3 및 제 4 퓨즈들과;

서로 제 2 간격만큼 이격되며, 상기 제 3 및 제 4 퓨즈들에 각각 연결되는 제 3 및 제 4 신호 라인들을 포함하되,

상기 제 1 및 제 2 신호 라인들은 상기 제 2 퓨즈 영역에 인접하여 배치되고, 상기 제 3 및 제 4 신호 라인들은 상기 제 1 퓨즈 영역에 인접하여 배치되며, 상기 제 1 간격은 상기 제 2 간격보다 넓은 것을 특징으로 하는 퓨즈 구조.



**【청구항 21】**

제 20 항에 있어서,

상기 제 1 신호 라인은 상기 제 1 퓨즈의 일단에 일직선으로 연결되고; 상기 제 2 신호 라인은 상기 제 2 퓨즈의 일단으로부터 소정 각도만큼 오프셋되도록 상기 제 2 퓨즈의 일단에 연결되는 것을 특징으로 하는 퓨즈 구조.

**【청구항 22】**

제 20 항에 있어서,

상기 제 3 신호 라인은 상기 제 3 퓨즈의 일단에 일직선으로 연결되고; 상기 제 4 신호 라인은 상기 제 4 퓨즈의 일단으로부터 소정 각도만큼 오프셋되도록 상기 제 4 퓨즈의 일단에 연결되는 것을 특징으로 하는 퓨즈 구조.

**【청구항 23】**

행들과 열들로 배열된 메모리 셀들의 어레이와;

결합 메모리 셀을 대체하기 위한 리던던트 어레이와; 그리고

각각 결합 어드레스를 저장하기 위한 복수 개의 퓨즈 박스들을 포함하며,

상기 퓨즈 박스들 각각은

일직선으로 연결되는 일단과 타단을 갖는 제 1 퓨즈와; 그리고

상기 제 1 퓨즈의 일단과 제 1 간격만큼 이격되어 배치된 일단과, 상기 제 1 퓨즈의 타단과 제 2 간격만큼 이격되어 배치된 타단을 갖는 제 2 퓨즈를 포함하되,

상기 제 1 및 제 2 퓨즈들의 일단들은 행 방향을 따라 절단 영역에 배치되고, 상기 제 2 퓨즈의 일단은 상기 제 2 퓨즈의 타단으로부터 측면으로 오프셋되며, 상기 제 1

및 제 2 퓨즈들의 일단들은 상기 제 1 및 제 2 퓨즈들의 타단들보다 좁거나 그것과 동일한 폭을 갖는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 24】

제 23 항에 있어서,

상기 각 퓨즈 박스는 상기 제 1 및 제 2 퓨즈들의 제 1 퓨즈 그룹에 대해 180도만큼 회전되도록 상기 제 1 퓨즈 그룹과 인접하여 배치되며, 제 3 및 제 4 퓨즈들을 갖는 제 2 퓨즈 그룹을 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 25】

제 24 항에 있어서,

상기 제 3 및 제 4 퓨즈들은 상기 제 1 및 제 2 퓨즈들과 동일한 구조를 갖도록 배치되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 26】

행 방향으로 평행하게 배열된 복수 개의 워드 라인들과;

열 방향으로 평행하게 배열된 복수 개의 비트 라인들과;

상기 워드 라인들과 상기 비트 라인들에 각각 연결되는 메모리 셀들과;

결합 어드레스 정보를 저장하기 위한 복수 개의 퓨즈 박스들과;

디코딩 신호들에 응답하여 상기 워드 라인들 중 적어도 하나를 선택하는 행 선택 회로와;

상기 행 선택 회로 및 상기 퓨즈 박스들에 연결되고, 상기 퓨즈 박스들의 일측에 배치되는 제 1 신호 라인들과;

상기 행 선택 회로에 연결되고, 상기 퓨즈 박스의 일측에 배치되는 제 2 신호 라인들과; 그리고

상기 퓨즈 박스들에 연결되고, 상기 퓨즈 박스들의 타측에 배치되는 제 3 신호 라인들을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 27】**

제 26 항에 있어서,

상기 제 2 및 제 3 신호 라인들은 동일한 신호들을 전달하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 28】**

제 26 항에 있어서,

상기 제 2 및 제 3 신호 라인들의 로딩은 상기 제 1 신호 라인들보다 큰 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 29】**

제 26 항에 있어서,

상기 복수 개의 퓨즈 박스들은 행 방향으로 배치되는 제 1 퓨즈 박스 그룹 및 상기 제 1 퓨즈 박스에 180도 회전하여 상기 제 1 퓨즈 박스 그룹에 인접하여 배치되는 제 2 퓨즈 박스 그룹으로 구성되는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 30】**

제 29 항에 있어서,

상기 제 1 퓨즈 박스 그룹에는 상기 제 1 신호 라인들이 연결되고, 상기 제 2 퓨즈 박스 그룹에는 상기 제 3 신호 라인들이 연결되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 31】

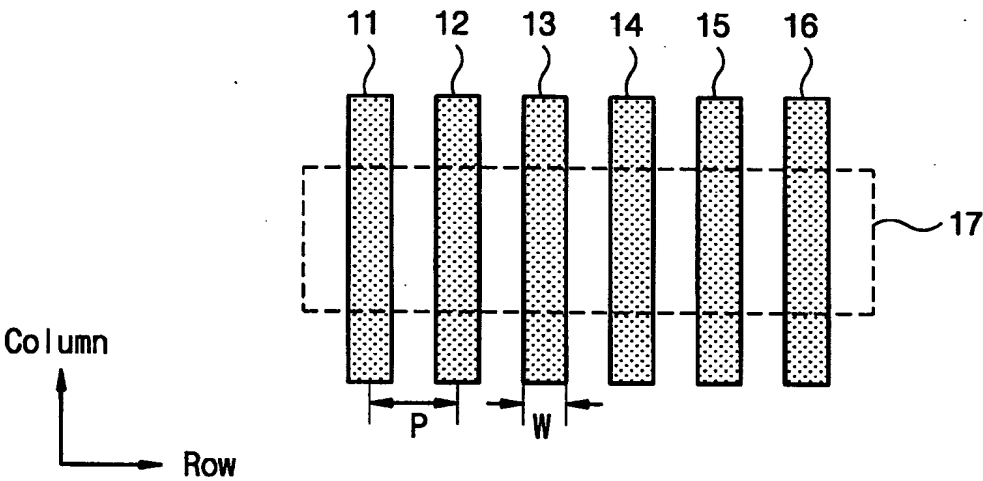
제 30 항에 있어서,

상기 제 3 신호 라인들은 상기 제 2 신호 라인들과 동일한 것을 특징으로 하는 반도체 메모리 장치.

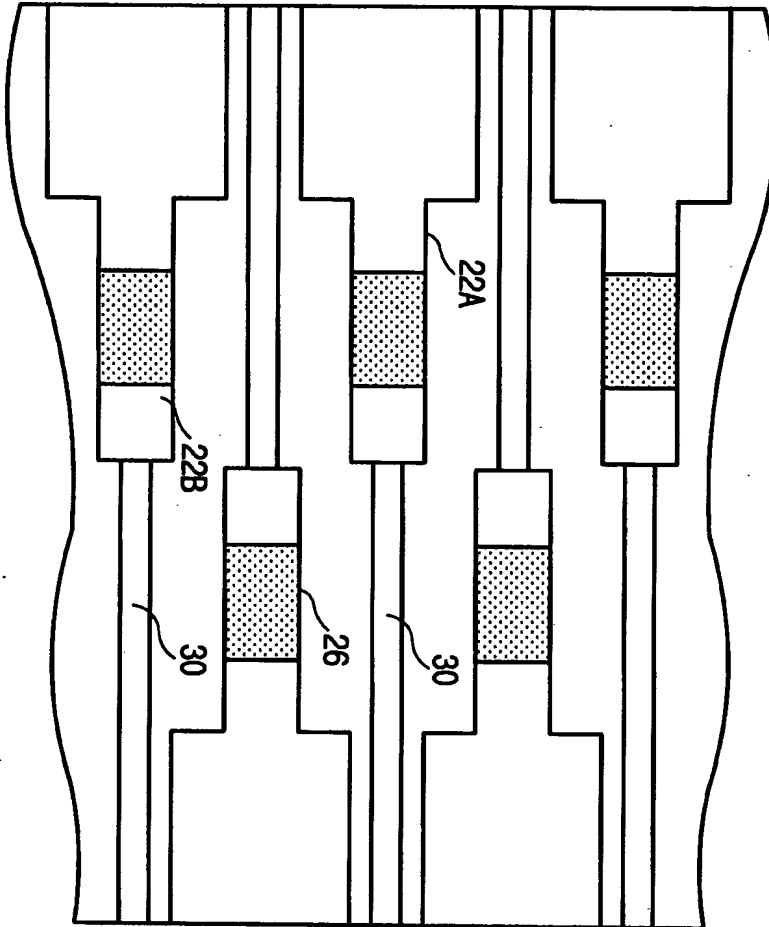
【도면】

【도 1】

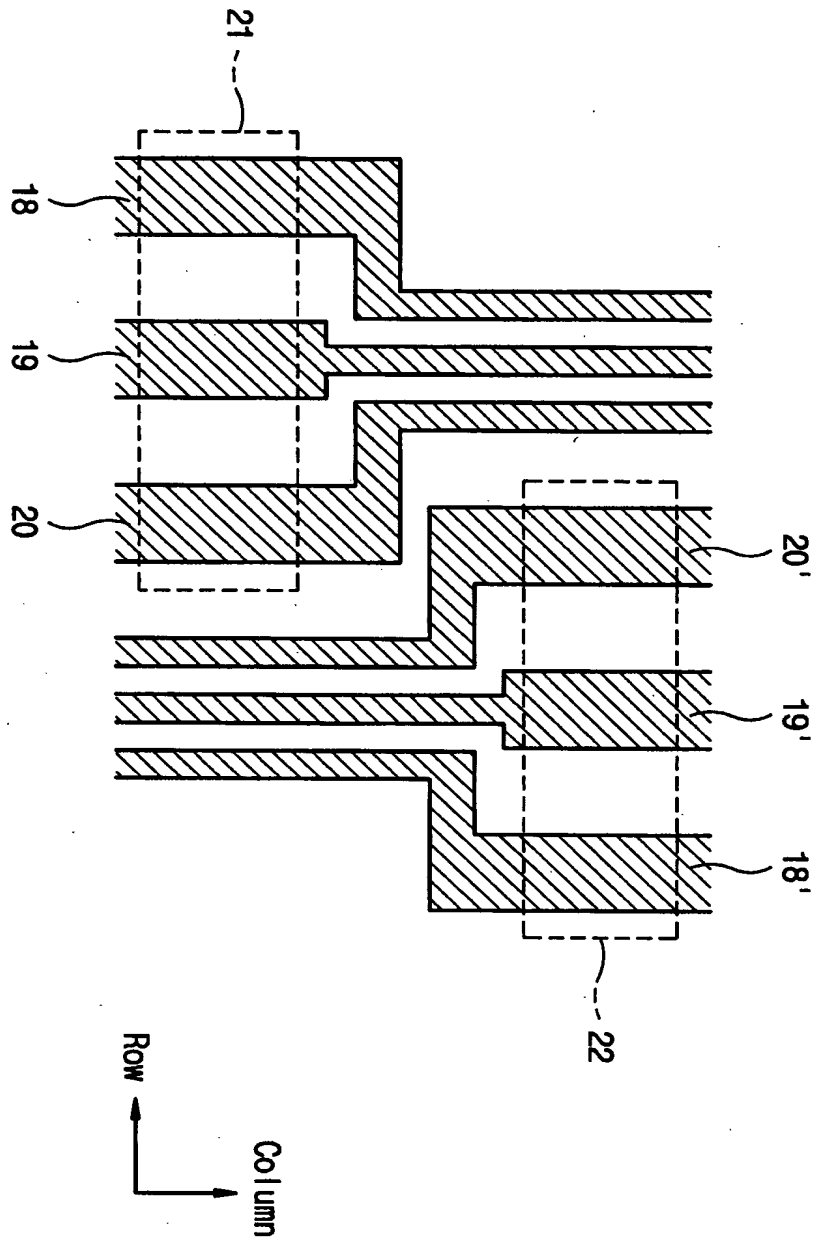
(종래 기술)



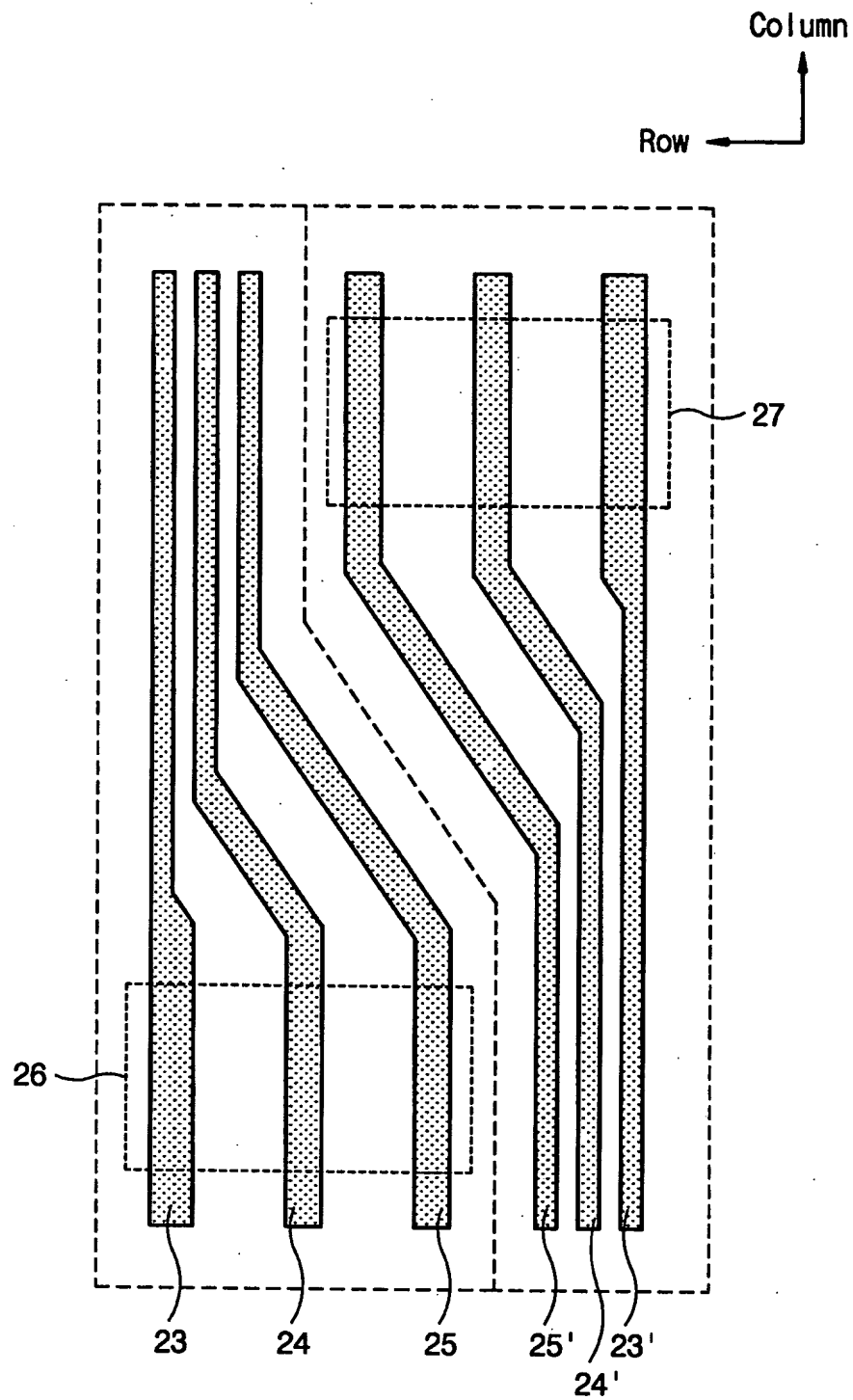
【도 2】



【도 3】

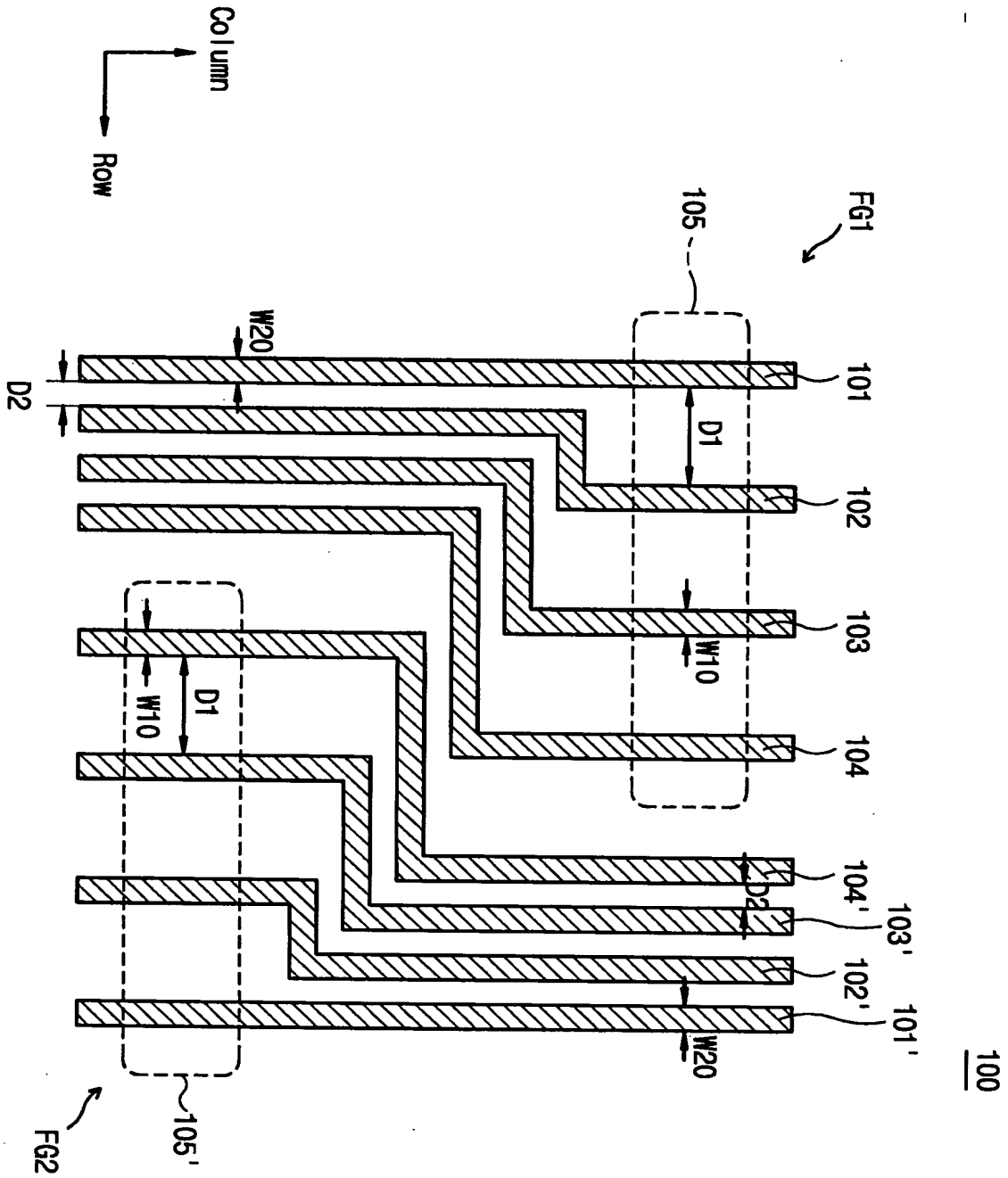


【도 4】

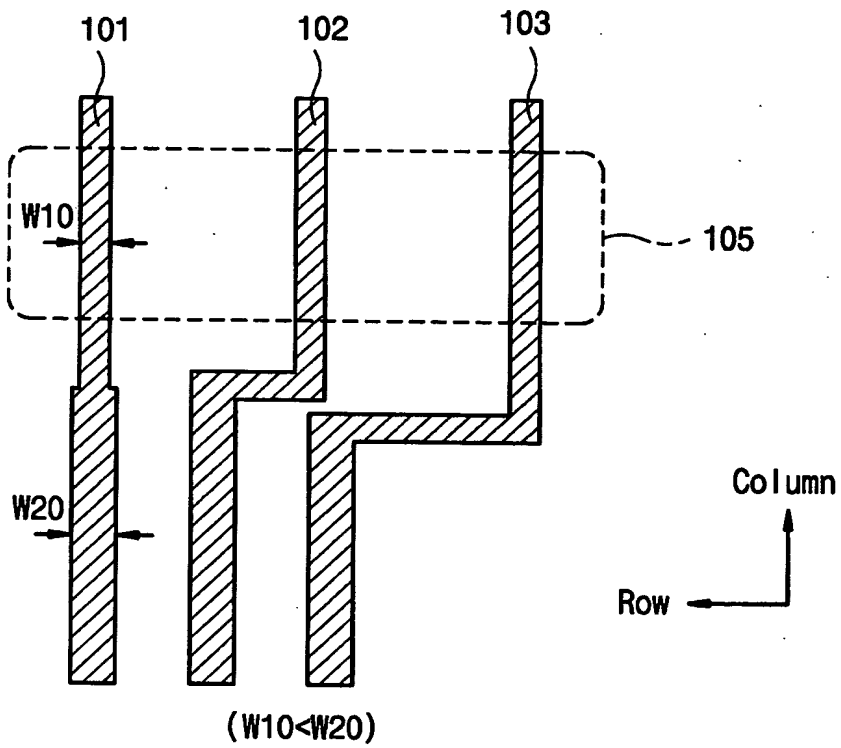




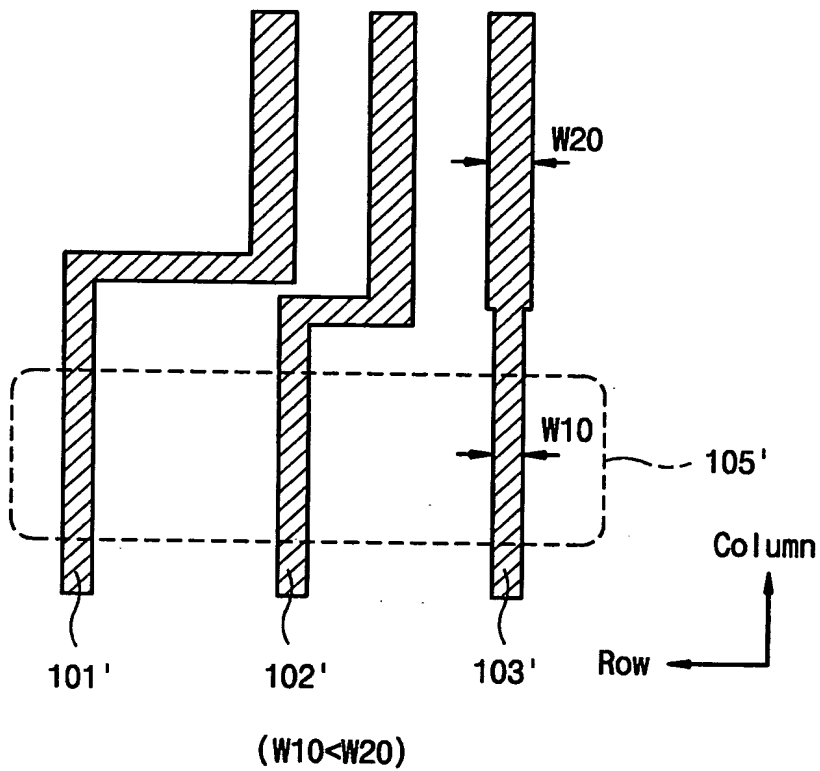
【도 5】



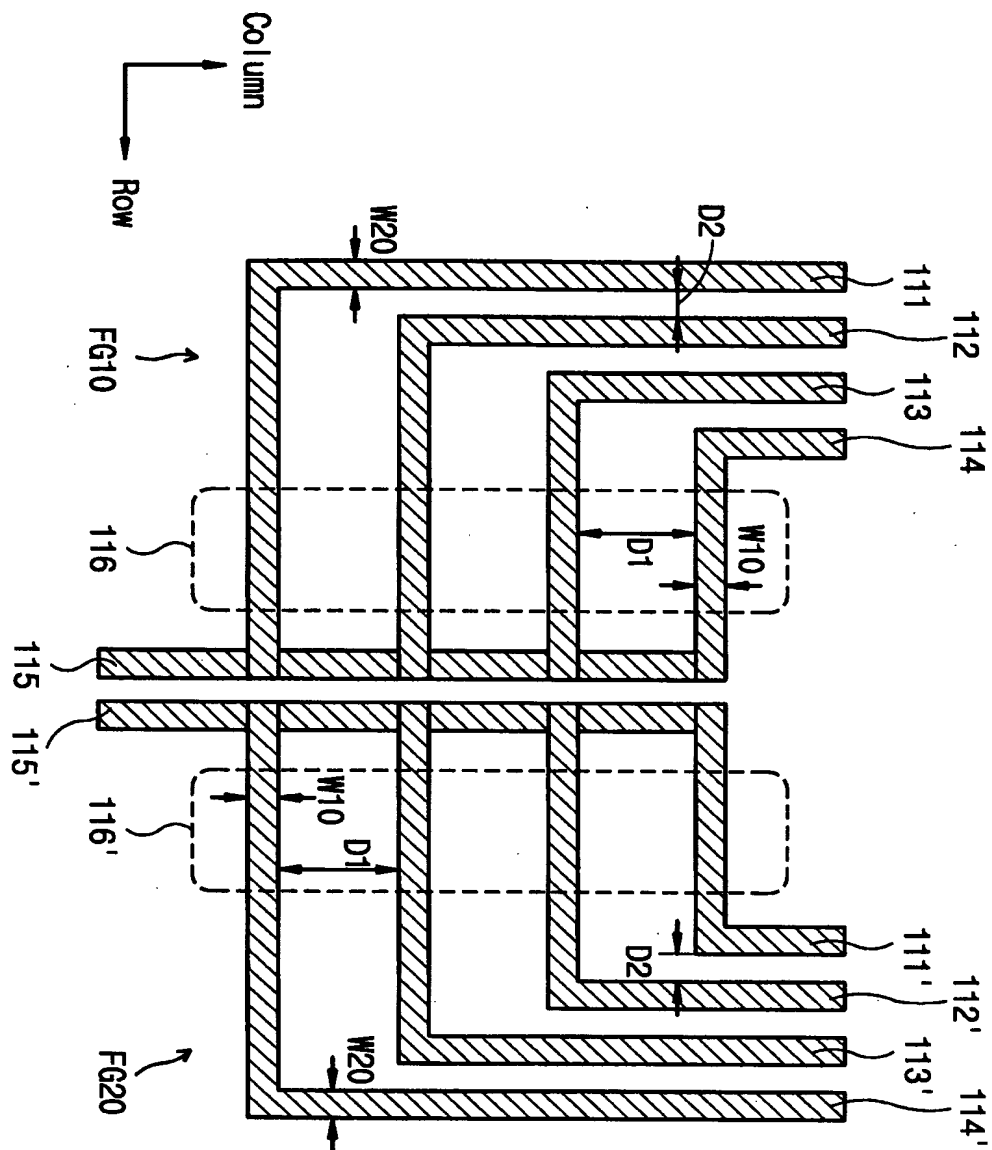
【도 6a】



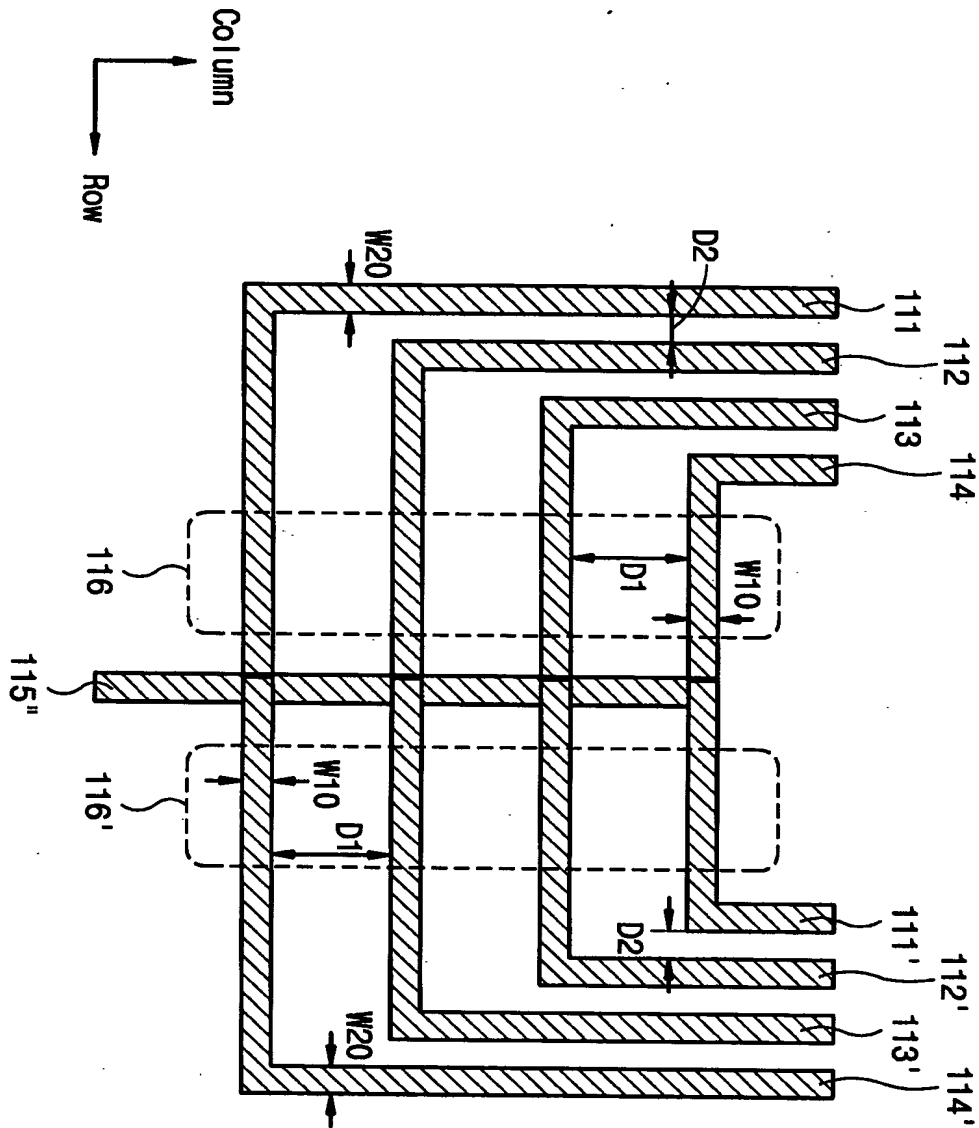
【도 6b】



【도 7】

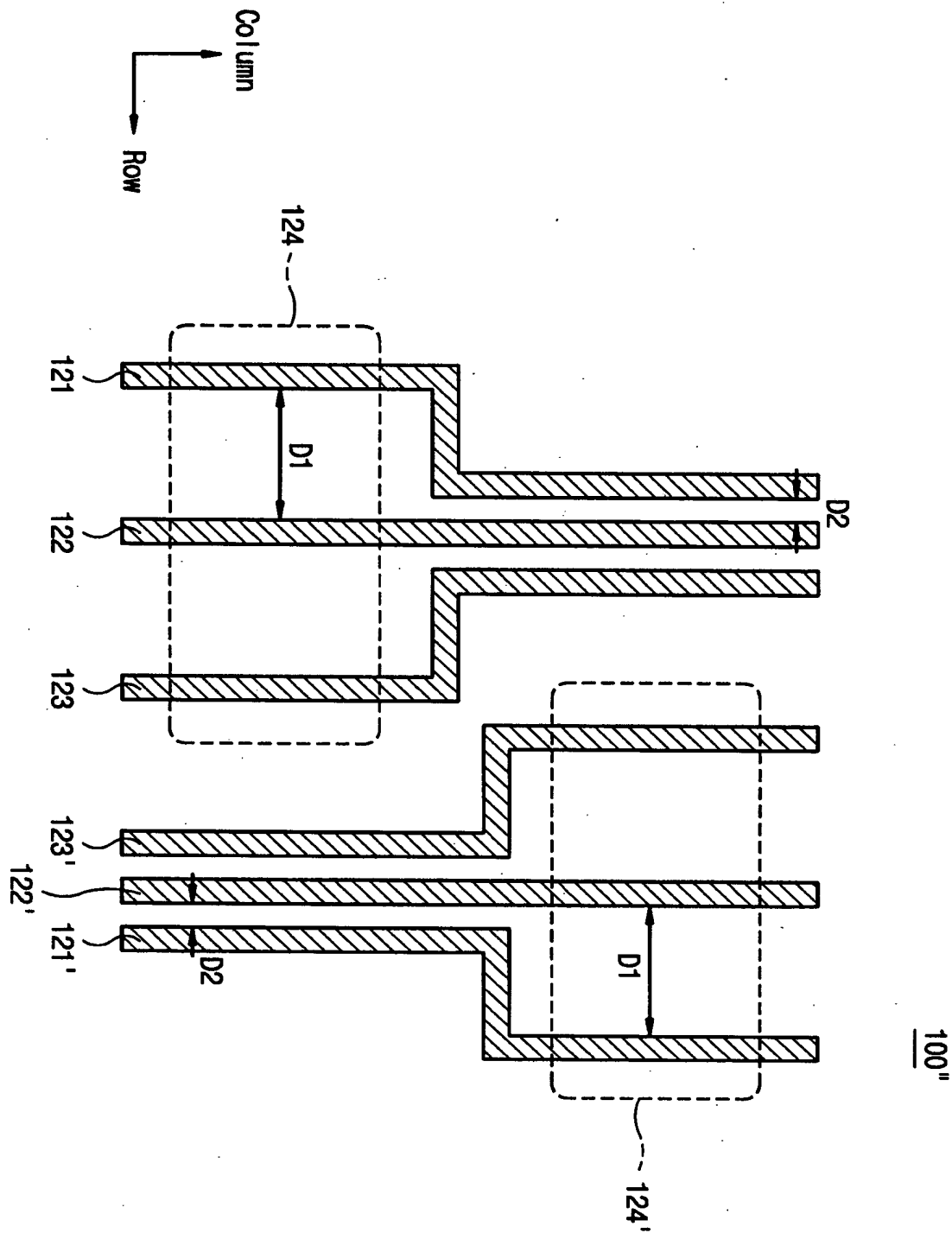


【도 8】

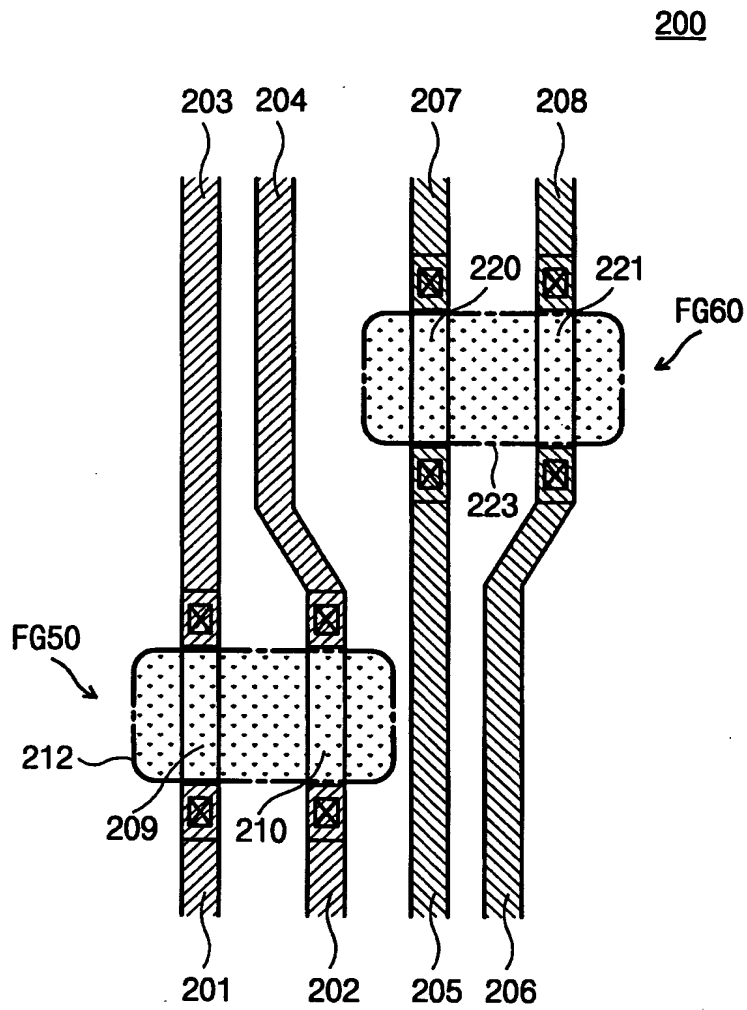


100'

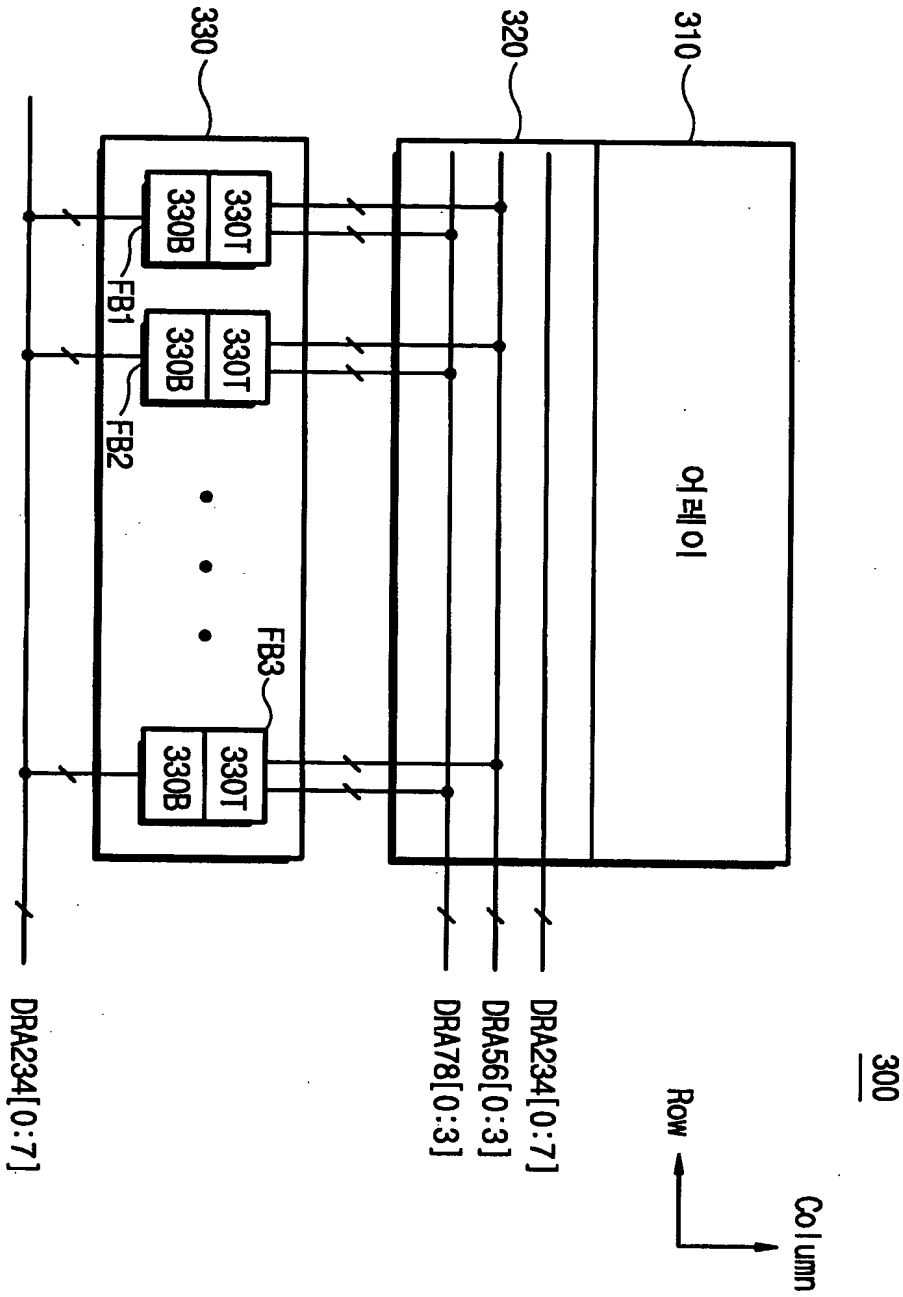
【도 9】



【도 10】



【도 11】



【도 12】

